

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
22. April 2004 (22.04.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/034458 A1

(51) Internationale Patentklassifikation⁷: **H01L 21/336**,
29/06

[DE/DE]; Prinz-Eugen-Strasse 6/1, 80804 München (DE).
SCHRÜFER, Klaus [DE/DE]; Weidenstrasse 21, 85598
Baldham (DE). **TEWS, Helmut** [DE/DE]; Frankenwald-
strasse 36, 81549 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2003/003130

(22) Internationales Anmeldedatum:
19. September 2003 (19.09.2003)

(74) Anwälte: **KINDERMANN, Peter** usw.; Patentanwälte
Kindermann, Postfach 1330, 85627 Grasbrunn (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (*national*): CN, JP, KR, SG, US.

(26) Veröffentlichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(30) Angaben zur Priorität:
102 46 718.8 7. Oktober 2002 (07.10.2002) DE

Veröffentlicht:
— mit internationalem Recherchenbericht

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.
Martin-Strasse 53, 81669 München (DE).

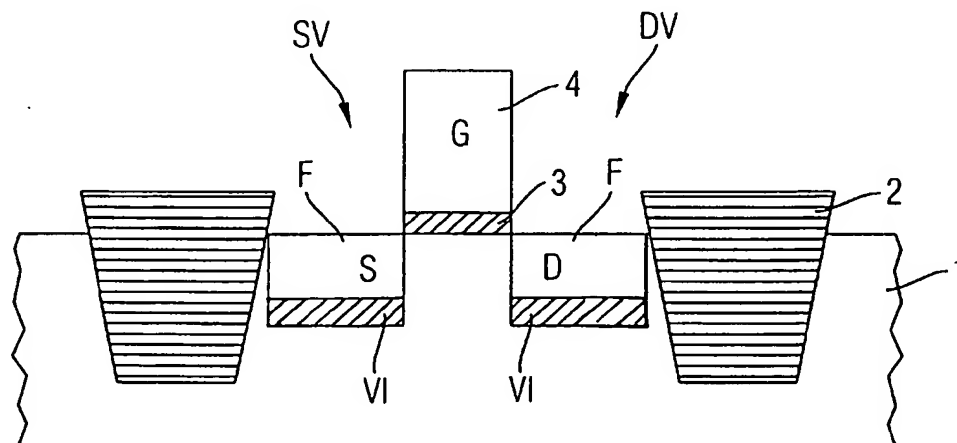
Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **HOLZ, Jürgen**

(54) Title: FIELD EFFECT TRANSISTOR WITH LOCAL SOURCE/DRAIN INSULATION AND ASSOCIATED METHOD OF PRODUCTION

(54) Bezeichnung: FELDEFFEKTTRANSISTOR MIT LOKALER SOURCE-/DRAINISOLATION SOWIE ZUGEHÖRIGES HERSTELLUNGSVERFAHREN



(57) Abstract: The invention relates to a field effect transistor with local source/drain insulation and to an associated method of production. An interspaced source recess (SV) and a drain recess (DV) are created in a semiconductor substrate (1) and a recess insulating layer (VI) is formed at least in a bottom area of the source and drain recess (SV, DV) and an electric conducting filling layer (F) is placed in said source and drain recesses (SV, DV) in order to create source and drain areas (S, D). A field effect transistor is thus provided, exhibiting reduced junction capacities, together with a gate dielectric (3) and a gate layer (4).

[Fortsetzung auf der nächsten Seite]

WO 2004/034458 A1



(57) **Zusammenfassung:** Die Erfindung betrifft einen Feldeffekttransistor mit lokaler Source-/Drainisolation sowie ein zugehöriges Herstellungsverfahren, wobei in einem Halbleitersubstrat (1) eine Sourcevertiefung (SV) und eine Drainvertiefung (DV) voneinander beabstandet ausgebildet sind und eine Vertiefungs-Isolationsschicht (VI) zumindest in einem Bodenbereich der Source- und Drainvertiefung (SV, DV) ausgebildet ist und eine elektrisch leitende Füllschicht (F) zur Realisierung von Source- und Draingebieten (S, D) die Source- und Drainvertiefungen (SV, DV) auffüllt. Gemeinsam mit einem Gatedielektrikum (3) und einer Gateschicht (4) erhält man auf diese Weise einen Feldeffekttransistor mit verringerten Junction-Kapazitäten.

Beschreibung

Feldeffekttransistor mit lokaler Source-/Drainisolation sowie zugehöriges Herstellungsverfahren

5

Die vorliegende Erfindung bezieht sich auf einen Feldeffekttransistor mit lokaler Source-/Drainisolation sowie ein zugehöriges Herstellungsverfahren und insbesondere auf einen Feldeffekttransistor mit Strukturen im sub100nm-Bereich, der in sogenannten Mixed-Signal-Schaltungen verwendet werden kann.

Die elektrischen Eigenschaften von Feldeffekttransistoren werden von einer Vielzahl von Parametern beeinflusst, wobei insbesondere sogenannte Junction-Kapazitäten unerwünschte parasitäre Effekte im Feldeffekttransistor hervorrufen. Derartige Junction-Kapazitäten werden insbesondere an den pn-Übergängen der Source- und Draingebiete im Halbleitersubstrat verursacht, da an dieser Stelle aufgrund von Raumladungs- bzw. Verarmungszonen relativ hohe parasitäre Kapazitäten entstehen.

Zur Vermeidung bzw. zur Verkleinerung derartiger Junction-Kapazitäten wurden herkömmlicherweise sogenannte SOI-Substrate (Silicon On Insulator) benutzt, wodurch zumindest ein unterer Bereich von jeweiligen Source- und Draingebieten unmittelbar vom Isolationsgebiet des SOI-Substrats bzw. -Wafers begrenzt wurde. Nachteilig bei derartigen Halbleiterschaltungen in einem SOI-Substrat sind jedoch die deutlich erhöhten Kosten sowie die damit einhergehenden Nachteile bei sogenannten Mixed-Signal-Schaltungen. Während bei Kurzkanal-Feldeffekttransistoren ein vollständig verarmtes Kanalgebiet (fully depleted) oftmals sogar erwünscht ist, benötigen Feldeffekttransistoren mit langen Kanalgebieten eine Anschlussmöglichkeit zur Vermeidung einer Aufladung dieser Gebiete und zur Realisierung einer möglichst hohen Linearität der Kennlinien. In gleicher Weise ist eine Anschlussmöglichkeit des

- Kanalgebietes auch für das für das sogenannte Matchingverhalten der Transistoren von Bedeutung, um beispielsweise ein gleiches Verhalten von zwei gleichen Transistoren in einer Halbleiterschaltung zu ermöglichen. Insbesondere für Mixed-Signal-Schaltungen liefert daher die Verwendung von SOI-Substraten nur unzureichende Ergebnisse. Ferner besitzen SOI-Substrate nur eine schlechte thermische Anbindung der aktiven Gebiete.
- 10 Aus der Druckschrift JP 021 28 430 A ist ein Verfahren zur Herstellung eines Feldeffekttransistors bekannt, wobei zur Erzeugung von lokalen Source-/Drainisolationen eine Sauerstoffimplantation derart durchgeführt wird, dass Sauerstoffionen unmittelbar unterhalb der Source- und Draingebiete im Halbleitersubstrat implantiert und anschließend in eine vergrabene Siliziumdioxidschicht umgewandelt werden. Nachteilig ist hierbei jedoch die relativ ungenaue Ausbildung dieser vergrabenen Isolationsgebiete wie zum Beispiel ein unscharfer lateraler Übergang zwischen implantierten und nicht-
- 15 implantierten Bereich, und insbesondere eine fehlende Anwendbarkeit derartiger Verfahren für Feldeffekttransistoren mit Strukturen im sub100nm-Bereich.
- 20 Der Erfindung liegt daher die Aufgabe zugrunde, einen Feldeffekttransistor mit lokaler Source-/Drainisolation sowie ein zugehöriges Herstellungsverfahren zu schaffen, wobei Junction-Kapazitäten besonders einfach verringert werden können.
- 25 Erfindungsgemäß wird diese Aufgabe hinsichtlich des Feldeffekttransistors durch die Merkmale des Patentanspruchs 1 und hinsichtlich des Herstellungsverfahrens durch die Maßnahmen des Patentanspruchs 10 gelöst.
- 30 Insbesondere durch die Verwendung einer Sourcevertiefung und einer Drainvertiefung, die zumindest in einem Bodenbereich eine Vertiefungs-Isolationsschicht aufweisen, und einer elektrisch leitenden Füllschicht, die zur Realisierung von
- 35

Source- und Draingebieten und zum Auffüllen der Vertiefungen an der Oberfläche der Vertiefungs-Isolationsschicht ausgebildet ist, erhält man einen Feldeffekttransistor mit verringerten Junction-Kapazitäten, der sowohl für Mixed-Signal-
5 Schaltungen als auch für Strukturgrößen unterhalb von 100 nm einfach und kostengünstig zu realisieren ist.

Die Vertiefungs-Isolationsschicht kann neben der Vertiefungs-Bodenisolationsschicht auch eine Vertiefungs-Seitenwand-
10 isolationsschicht aufweisen, die jedoch das Gatedielektrikum nicht berührt, wodurch man weiter verringerte Junction-Kapazitäten und flache bzw. genau definierte Extensions bzw. Anschlussbereiche für das Kanalgebiet erhält.

15 Zur Realisierung von hochgenau definierten Kanal-Anschlussbereichen können die Source- und Drainvertiefungen eine vorbestimmte Breite im oberen Bereich mit einer vorbestimmten Tiefe aufweisen. Auf diese Weise können die gewünschten flachen Anschlussbereiche für die Kanalgebiete sehr präzise
20 realisiert werden und es entfallen die üblicherweise angewendeten sehr flachen Implantationen, die Probleme durch diffusionsfördernde Wirkungen von Defekten sowie sehr kurze RTP-Ausheilschritte (Rapid Thermal Process) mit ihrer schlechten Reproduzierbarkeit oder eine Prä-Amorphisierung und Defektim-
25 plantationen. Aufgrund der Vertiefungs-Seitenwandisolationsschichten können jedoch die üblicherweise auftretenden hohen Leckströme sowie Junction-Kapazitäten in diesem Bereich wesentlich verringert werden.

30 Zur Verbesserung eines Abscheidevorgangs in den Source- und Drainvertiefungen kann die elektrisch leitende Füllschicht eine Keimschicht aufweisen, wodurch auch sehr schmale und tiefe Source- und Drainvertiefungen bzw. Löcher ausreichend gut aufgefüllt werden können.

35

Ferner kann sich die Vertiefungs-Seitenwandisolationsschicht auch in einen Bereich unterhalb des Gatedielektrikums bzw.

unterhalb des Kanalgebietes hinein erstrecken. Man kann dadurch erreichen, dass Kurzkanaltransistoren vom Substrat isoliert werden und Langkanaltransistoren auf demselben Wafer eine Anschlussmöglichkeit an das Substrat erhalten. So werden
5 sowohl für Digitalschaltungen als auch für Mixed Signal Schaltungen die optimalen Devices erzeugt. Dies ist besonders vorteilhaft für eine SoC (System on Chip) Integration.

10 In den weiteren Ansprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachfolgend an Hand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

15 Es zeigen:

Figur 1 eine vereinfachte Schnittansicht eines Feldeffekttransistors mit lokaler Source-/Drainisolation gemäß einem ersten Ausführungsbeispiel;

20

Figur 2 eine vereinfachte Schnittansicht eines Feldeffekttransistors mit lokaler Source-/Drainisolation gemäß einem zweiten Ausführungsbeispiel;

25 Figuren 3A bis 3I

vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Feldeffekttransistors mit lokaler Source-/Drainisolation gemäß einem dritten Ausführungsbeispiel;

30

Figur 4 eine teilvergrößerte Schnittansicht eines Feldeffekttransistors gemäß dem dritten Ausführungsbeispiel; und

35

Figuren 5A und 5B

5

vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Feldeffekttransistors mit lokaler Source-/Drainisolation gemäß einem vierten Ausführungsbeispiel.

5

Figur 1 zeigt eine vereinfachte Schnittansicht eines Feldeffekttransistors mit lokaler Source-/Drainisolation gemäß einem ersten Ausführungsbeispiel, wobei in einem Halbleiter-
10 substrat 1, welches vorzugsweise aus einem Siliziumhalbleitermaterial besteht, aktive Gebiete mittels eines STI-Verfahrens (Shallow Trench Isolation) zur Ausbildung von flachen Grabenisolierungen 2 ausgebildet werden. Diese flachen Grabenisolierungen 2 können beispielsweise streifenförmig im Halbleitersubstrat 1 ausgebildet sein, wodurch sich
15 dazwischenliegende streifenförmige aktive Gebiete ergeben.

Der Feldeffekttransistor weist hierbei einen an der Oberfläche des Halbleitersubstrats 1 ausgebildeten Gatestapel G auf, der im Wesentlichen ein Gatedielektrikum wie z.B. eine Gateoxidschicht 3 sowie eine eigentliche Gate- bzw. Steuerschicht 4 aufweist. An den Seiten des Gatestapels G sind nunmehr im Halbleitersubstrat 1 eine Sourcevertiefung SV und eine Drainvertiefung DV voneinander beabstandet ausgebildet, wobei ein
25 unterhalb des Gatedielektrikums 3 liegender Bereich ein Kanalgebiet darstellt. Als Vertiefungen können hierbei Aussparungen, Löcher, Gräben usw. mit einer entsprechenden Tiefe im Halbleitersubstrat 1 ausgebildet werden.

30 Gemäß Figur 1 ist in einem Bodenbereich der Sourcevertiefung SV und der Drainvertiefung DV jeweils eine Vertiefungs-Isolationsschicht VI ausgebildet, die eine lokale Source- und Drainisolation zum Halbleitersubstrat 1 darstellt und somit eine Junction-Kapazität eines jeweiligen Source- und Draingebietes wesentlich verringert. Im Gegensatz zu herkömmlichen mittels Sauerstoffimplantationen ausgebildeten Vertiefungs-Isolationsschichten sind die erfindungsgemäßen lokalen Sour-
35

ce- und Drainisolationen eng begrenzt und sehr exakt in der Vertiefung ausgebildet. Ferner weist der Feldeffekttransistor eine elektrisch leitende Füllschicht F zur Realisierung der eigentlichen Source- und Draingebiete S und D auf, wobei die

5 Füllschicht F an der Oberfläche der Vertiefungs-Isolationsschicht ausgebildet ist und die Source- und Drainvertiefungen SV und DV auffüllt.

Auf diese Weise erhält man einen Feldeffekttransistor mit

10 lokaler Source- und Drainisolation, der eine wesentlich verringerte Junction-Kapazität an seinen Source- und Draingebieten S und D aufweist und darüber hinaus eine Anschlussmöglichkeit des zwischen dem Source- und Draingebiet liegenden Kanalgebietes ermöglicht. Auf diese Weise können insbesondere

15 in Mixed-Signal-Schaltungen auch Feldeffekttransistoren mit langen Kanälen und hoher Linearität sowie hervorragenden Matchingeigenschaften realisiert werden. Ferner erhält man bei einer derartigen lokalen Source- und Drainisolation auch eine gegenüber SOI-Substraten weit verbesserte thermische

20 Anbindung der Kanalgebiete an das Halbleitersubstrat 1. Insbesondere bei Feldeffekttransistoren mit lateralen Strukturen im sub100nm-Bereich bzw. < 100 nm können somit Feldeffekttransistoren mit weiter verbesserten elektrischen Eigenschaften auf relativ einfache Weise hergestellt werden. Abhängig

25 von einer jeweiligen Art der Herstellung der Vertiefungs-Isolationsschicht VI und jeweiligen Abmessungen des Feldeffekttransistors können die Source- und Drainvertiefungen eine Tiefe von ca. 50 bis 300 nm aufweisen. Insbesondere bei senkrechten Seitenwänden der Vertiefungen SV und DV können hierbei die elektrischen Eigenschaften des Feldeffekttransistors

30 sehr genau eingestellt werden.

Als Gatedielektrikum wird beispielsweise Siliziumdioxid verwendet, wobei jedoch auch andere dielektrische Schichten

35 verwendet werden können. Als Gateschicht 4 wird vorzugsweise amorphes Silizium oder Polysilizium verwendet, wobei jedoch auch Metallgates oder andere Materialien Verwendung finden

können. Insbesondere können für den Gatestapel G auch andere Schichtstrukturen realisiert werden, wie sie beispielsweise aus dem Bereich von nichtflüchtigen Speicherelementen bekannt sind (Flash-EPROM, E²PROM usw.).

5

Figur 2 zeigt eine vereinfachte Schnittansicht eines Feldefekttransistors mit lokaler Source-/Drainisolation gemäß einem zweiten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente bzw. Schichten be-
10 zeichnen wie in Figur 1 und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Im Ausführungsbeispiel gemäß Figur 2 besitzt die Vertiefungs-Isolationsschicht VI nicht nur eine im Bodenbereich der Sour-
15 ce- und Drainvertiefungen SV und DV ausgebildete Vertiefungs-Bodenisolationsschicht, sondern darüber hinaus eine Vertiefungs-Seitenwandisolationsschicht, die jedoch das Gatedielektrikum 3 nicht berührt und somit einen definierten Kanal-Anschlussbereich KA zum Anschließen eines unter dem Gatedielektrikum 3 liegenden Kanalgebietes ermöglicht. Auf diese
20 Weise erhält man Kanal-Anschlussbereiche KA, die sehr geringe Leckströme und weiter verringerte Junction-Kapazitäten aufweisen. Die üblicherweise verwendeten Verfahren zur Ausbildung von derartig flachen Anschlussbereichen mittels flacher
25 Implantationen, Prä-Amorphisierung oder Defektimplantationen sowie kurze RTP-Ausheilschritte (Rapid Thermal Process) können somit vermieden werden. Aufgrund der sehr genau einstellbaren Abmessungen der Source- und Drainvertiefungen lassen sich auch die elektrischen Eigenschaften der damit ausgebil-
30 deten Feldeffekttransistoren sehr genau festlegen, wodurch man Halbleiterbauelemente mit wesentlich verringerten Junction-Kapazitäten erhält.

Die Extensions bzw. Anschlussbereiche KA können bei Verwen-
35 dung von Polysilizium als Füllschicht F mittels Ausdiffusion realisiert werden, wodurch sich Dotierstoffprofile mit maximalem Gradienten ergeben.

Figuren 3A bis 3I zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Feldeffekttransistors mit lokaler Source-/Drainisolation, wobei wiederum gleiche Bezugszeichen gleiche oder ähnliche Schichten bzw. Elemente wie in den Figuren 1 und 2 bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

10 Gemäß Figur 3A wird zunächst in einem vorbereitenden Verfahren ein Gatestapel mit einer Gateschicht 4 und einem Gatedielektrikum 3 auf einem Halbleitersubstrat 1 ausgebildet. Bei einem derartigen üblicherweise als Gateprozess bezeichneten Verfahren wird zunächst ein (nicht dargestelltes) Padoxid an
15 der Oberfläche des Halbleitersubstrats 1 abgeschieden und anschließend ein (nicht dargestelltes) Padnitrid an der Oberfläche des Padoxids ausgebildet. Anschließend wird mittels eines herkömmlichen STI-Verfahrens (Shallow Trench Isolation) eine flache Grabenisolierung 2 im Halbleitersubstrat 1 ausgebildet und daraufhin zumindest die Padnitridschicht wieder entfernt. Im Weiteren erfolgt eine oder mehrere Implantationen zur Ausbildung von Wannen- und/oder Kanaldotiergebieten im Halbleitersubstrat 1, wobei je nach auszubildender Halbleiterschaltung auch ein Mehrfach-Wannenaufbau realisiert
25 werden kann. Anschließend erfolgt zur Ausbildung des Gatedielektrikums 3 vorzugsweise eine thermische Oxidation der Substratoberfläche SO, wodurch z.B. ein hochwertiges Gateoxid ausgebildet wird. Anschließend erfolgt zur Ausbildung der Gateschicht 4 beispielsweise eine Abscheidung von Polysilizium mit einer Dicke von beispielsweise 100 nm und an deren Oberfläche zur Ausbildung einer Hartmaskenschicht 5 beispielsweise eine TEOS-Isolationsschicht mit einer Dicke von ca. 50 nm abgeschieden wird. Zur Strukturierung von zumindest der Gateschicht 4 wird anschließend ein fotolithografisches
30 Verfahren zunächst auf die Hartmaskenschicht 5 angewendet, wobei anschließend unter Verwendung der strukturierten Hartmaskenschicht 5 vorzugsweise mittels eines anisotropen Ätz-

verfahrens (RIE, Reactive Ionetching) die Gateschicht 4 strukturiert wird. Abschließend kann eine weitere thermische Oxidation oder Oxid-Abscheidung zur Ausbildung einer Gate-Seitenwandisolationsschicht 6 an den Seitenwänden der Gate-

5 schicht 4 durchgeführt werden, wodurch man eine ca. 6 nm dicke Schutzschicht erhält. Die Gate-Seitenwandisolationsschicht 6 dient hierbei als Ätzstopp-schicht für spätere Ätzschritte sowie als seitliche Schutzschicht für das relativ empfindliche Gatedielektrikum 3.

10

Auf diese Weise erhält man die in Figur 3A dargestellte Schnittansicht, wobei auch alternative Verfahren zum Ausbilden und Strukturieren eines Gatestapels mit einer Gateschicht 4 und einem Gatedielektrikum 3 auf einem Halbleitersubstrat 1

15 durchgeführt werden können.

Anschließend werden im Halbleitersubstrat 1 Source- und Drainvertiefungen am Gatestapel ausgebildet.

20 Gemäß Figur 3B können beispielsweise zunächst erste Vertiefungen V1 zur Realisierung von Kanal-Anschlussbereichen KA im Halbleitersubstrat 1 ausgebildet werden, wobei vorzugsweise mittels eines anisotropen Ätzverfahrens wie z.B. RIE (Reactive Ion Etching) aber auch nasschemisch eine $d_1 = 10$ bis 50 nm

25 tiefe Aussparung ausgebildet wird. Die Tiefe dieser ersten Vertiefung V1 dient hierbei als Optimierungsparameter für die Herstellung der Extension bzw. des Kanal-Anschlussbereiches.

Optional kann zu diesem Zeitpunkt eine (nicht dargestellte)

30 erste dünne Halbleiter-Schutzschicht zumindest im Bereich des Kanal-Anschlussbereiches KA und vorzugsweise ganzflächig ausgebildet werden, um die Halbleiteroberfläche (Silizium) vor einer nachfolgenden Nitridabscheidung zu schützen, die im Allgemeinen problematisch für Siliziumhalbleitermaterialien

35 ist. Vorzugsweise besteht diese erste Halbleiterschuttschicht demzufolge aus einer Siliziumoxidschicht.

10

Anschließend werden gemäß Figur 3B Spacer 7 am Gatestapel ausgebildet, wobei der Gatestapel sich im Wesentlichen aus dem Gatedielektrikum 3, der Gateschicht 4, der Hartmaskenschicht 5 und der (eventuell vorhandenen) Gate-Seitenwandisolationsschicht 6 zusammensetzt. Vorzugsweise werden die
5 Spacer 7 durch konformales, d.h. gleichmäßig dickes, Abscheiden von Siliziumnitrid auf der zur Verfügung stehenden Oberfläche und einem nachfolgenden anisotropen Rückätzen ausgebildet, wobei für die Abscheidung beispielsweise ein LPCVD-
10 Verfahren (Low Pressure Chemical Vapor Deposition) verwendet wird. Wiederum ist auch die Dicke der Spacer 7 ein Optimierungsparameter für den Kanal-Anschlussbereich KA, wobei vorzugsweise Spacerdicken von ca. 10 bis 30 nm besonders günstige Anschlusseigenschaften ergeben.

15 Vorzugsweise werden die ersten Vertiefungen V1 unter Verwendung des Gatestapels und der flachen Grabenisolierung 2 als Maske ausgebildet, wodurch man im Wesentlichen selbstjustierende Verfahren für eine erste Vertiefung V1 erhält.

20 Gemäß Figur 3C werden nunmehr unter Verwendung der am Gatestapel ausgebildeten Spacer 7 sowie der an der flachen Grabenisolierung 2 ausgebildeten weiteren Spacer 7A als Maske innerhalb der ersten Vertiefungen V1 zweite Vertiefungen V2
25 im Halbleitersubstrat 1 ausgebildet. Genauer gesagt wird beispielsweise mittels eines Silizium-RIE-Verfahrens eine zweite Vertiefung V2 mit einer Tiefe d2 von ca. 40 bis 250 nm ausgebildet, wodurch sich eine Gesamttiefe für die Source- und Drainvertiefungen SV und DV von $d1 + d2 = \text{ca. } 50 \text{ bis } 300$
30 nm, von der Substratoberfläche SO gemessen, ergibt.

Abschließend erfolgt zur Ausbildung einer Vertiefungs-Isolationsschicht zumindest in einem Bodenbereich der Source- und Drainvertiefungen SV und DV zunächst eine Ausbildung einer
35 Isolations-Maskenschicht 8. Vorzugsweise erfolgt hierbei eine Nitrierung des exponierten Halbleitermaterials bzw. Siliziums mit NH_3 innerhalb eines Temperaturbereiches von 600 bis

900°C. Alternativ kann jedoch auch eine Nitridabscheidung zur Realisierung der Isolations-Maskenschicht 8 durchgeführt werden. Die angestrebte Siliziumnitridicke bzw. Dicke der Isolations-Maskenschicht 8 beträgt beispielsweise ca. 1 bis 5 nm. Grundsätzlich kann wiederum eine zusätzliche dünne Oxid-Pufferschicht (nicht dargestellt) unter dem abgeschiedenen Nitrid zum Schutz des Halbleitermaterials erzeugt werden.

Gemäß Figur 3D erfolgt in einem nachfolgenden Schritt ein Entfernen der Isolations-Maskenschicht 8 zumindest im Bodenbereich der Source- und Drainvertiefungen SV und DV, wobei vorzugsweise ein anisotropes Ätzverfahren und insbesondere ein RIE-Nitridätzverfahren zum Freilegen der Bodenbereiche durchgeführt wird. Bei einer ganzflächigen Abscheidung der Isolations-Maskenschicht 8 werden hierbei lediglich die horizontalen Flächen freigelegt.

Anschließend wird eine Vertiefungs-Bodenisolationsschicht 9 jeweils in den freigelegten Bodenbereichen der Source- und Drainvertiefungen SV und DV ausgebildet, wobei beispielsweise eine thermische Oxidation auf das freigelegte Halbleitermaterial durchgeführt wird. Hierdurch wird beispielsweise eine Siliziumoxidschicht mit einer Dicke von 20 bis 40 nm im Bodenbereich der Source- und Drainvertiefungen ausgebildet.

Alternativ zur thermischen Oxidation kann auch ein sogenanntes SELOX-Verfahren (Selective Oxid Deposition Process) zur selektiven Abscheidung einer Isolierschicht nur im Bodenbereich der Source- und Drainvertiefungen SV und DV durchgeführt werden. Demzufolge sind die Tiefen für die Source- und Drainvertiefungen abhängig von einem jeweils ausgewählten Herstellungsverfahren für die Vertiefungs-Bodenisolationsschicht 9 zu wählen. Hinsichtlich der weiteren technischen Details insbesondere des SELOX-Verfahrens wird insbesondere auf die Literaturstelle N. Elbel, et al "A new STI-process based on selective oxide deposition" at Symposium on VLSI-Technology 1998 verwiesen.

Die Isolations-Maskenschicht 8 erlaubt demzufolge nicht nur, die horizontalen und die vertikalen Flächen separat zu oxidieren, sondern reduziert darüber hinaus den mechanischen Stress im Kanalbereich.

Gemäß Figur 3E kann ferner optional die verbleibende Isolations-Maskenschicht 8 auch an den Seitenwänden der Source- und Drainvertiefungen SV und DV entfernt werden und Vertiefungs-Seitenwandisolationsschichten 8A in den freigelegten Seitenwandbereichen der Vertiefungen ausgebildet werden. Genauer gesagt wird zur Entfernung der dünnen Nitridschicht 8 an den Seitenwänden ein kurzzeitiger Ätzschritt und anschließend eine thermische Oxidation bei einer Temperatur von ca. 800°C oder eine Nass-Oxidation zur Herstellung einer ca. 5 bis 20 nm dicken Vertiefungs-Seitenwandisolationsschicht 8A durchgeführt. Vorzugsweise werden die Vertiefungs-Bodenisolationsschicht 9 sowie die Vertiefungs-Seitenwandisolationsschicht 8A als Siliziumdioxidschichten ausgebildet.

Nachfolgen wird nunmehr ein Auffüllen der zumindest teilweise isolierten Source- und Drainvertiefungen SV und DV mit einer Füllschicht durchgeführt, wobei vorzugsweise zunächst eine Keimschicht bzw. Seedlayer 10 zur Realisierung einer späteren selektiven Abscheidung von Polysilizium ausgebildet wird. Beispielsweise erfolgt eine Abscheidung einer dünnen dotierten oder undotierten amorphen oder polykristallinen Halbleiterschicht, wobei vorzugsweise Silizium oder SiGe verwendet wird, jedoch auch alternative Materialien als Keimschicht 10 verwendet werden können. Anschließend erfolgt zur Ausbildung einer Keim-Schutzschicht 11 eine kurze Oxidation oder Nitrierung der Keimschicht 10 und abschließend eine Ausbildung einer Keim-Maskenschicht 12, wobei vorzugsweise eine Resistabscheidung ganzflächig durchgeführt wird. Nach einer Planarisierung der Keim-Maskenschicht 12 mittels beispielsweise eines chemisch-mechanischen Polierverfahrens (CMP) unter

13

Verwendung der Keim-Schutzschicht 11 als Stoppschicht erhält man die in Figur 3E dargestellte Schnittansicht.

Gemäß Figur 3F wird anschließend die Keim-Maskenschicht 12
5 bis in die Source- und Drainvertiefungen SV und DV zurückge-
bildet, wobei beispielsweise eine Resist-Ätzung nach einer
vorbestimmten Zeit durchgeführt wird. Eine derartige Rückbil-
dung kann relativ genau durchgeführt werden, da die Höhe des
Gatestapels üblicherweise sehr genau bekannt ist. Unter Ver-
10 wendung der bis in die Source- und Drainvertiefungen zurück-
gebildeten Keim-Maskenschicht 12 erfolgt nunmehr ein teilwei-
ses Entfernen der Keim-Schutzschicht 11, d.h. die Oxid-
und/oder Nitridschicht werden bis auf den von der Keim-
Maskenschicht 12 bedeckten Bereich entfernt. Anschließend
15 erfolgt ein Entfernen der zurückgebildeten Keim-Maskenschicht
12, wobei vorzugsweise ein Resiststrip durchgeführt wird.

Gemäß Figur 3G wird nachfolgend unter Verwendung der in den
Source- und Drainvertiefungen SV und DV verbleibenden Keim-
20 Schutzschicht 11 als Maske wird nunmehr die Keimschicht 10
teilweise entfernt, wobei beispielsweise ein nasschemisches
Silizium-Ätzverfahren durchgeführt wird. Abschließend wird
auch die verbliebene Keim-Schutzschicht 11 vollständig ent-
fernt. Zum Entfernen der Keim-Schutzschicht 11 wird wiederum
25 ein Nitrid- und/oder ein Oxid-Ätzverfahren durchgeführt.

Die in den Source- und Drainvertiefungen SV und DV verblei-
bende amorphe oder polykristalline Keimschicht 10 erlaubt
nunmehr eine selektive Abscheidung bzw. ein Aufwachsen von
30 Halbleitermaterial auf dieser Schicht, wobei die restlichen
Bereiche, die von Oxid bedeckt sind, von dieser Aufwachs-
schicht 13 freibleiben.

Gemäß Figur 3H werden zunächst die Spacer 7 am Gatestapel
35 sowie die Spacer 7A an der flachen Grabenisolierung 2 ent-
fernt, um die Kanal-Anschlussbereiche KA freizulegen. Vor-

zugsweise wird dies mittels einer nasschemischen Nitridätzung durchgeführt.

- Optional kann zur Verhinderung einer Körnerbildung während
5 eines nachfolgenden Aufwachsvorganges im Kanal-Anschluss-
bereich eine sehr dünne Interface-Schicht (nicht dargestellt)
beispielweise aus Siliziumdioxid oder Siliziumnitrid ausge-
bildet werden. Anschließend erfolgt das Ausbilden der Auf-
wachsschicht 13 auf der Keimschicht 10 bis in einen Bereich
10 der Substratoberfläche SO, wobei insbesondere eine (zu Sili-
ziumdioxid) selektive Abscheidung von dotiertem oder undo-
tiertem amorphen oder polykristallinen Halbleitermaterial bis
zu einer Dicke von ca. 50 bis 400 nm erfolgt. Bei diesem
Schritt werden insbesondere die unterschiedlichen Prozessbe-
15 dingungen für die Abscheidung von amorphem oder polykristal-
linem Silizium auf verschiedenen Unterlagen ausgenutzt. Es
entsteht somit eine sogenannte "raised source/drain"-
Struktur.
- 20 Gemäß Figur 3I werden in einem nachfolgenden Schritt Implan-
tations-Spacer 14 an den Seitenwänden des Gatestapels bzw.
der Gate-Seitenwandisolationsschicht 6 ausgebildet. Vorzugs-
weise bestehen diese Implantations-Spacer 14 wiederum aus
einer Siliziumnitridschicht. Anschließend kann die Hartmas-
25 kenschicht 5 unter Verwendung einer Oxidätzung entfernt wer-
den, wobei die Grabenisolierungen 2 und die TEOS-Hartmasken-
schicht zurückgebildet werden, jedoch die Gate-Seitenwandiso-
lationsschichten 6 von den Implantations-Spacern 14 geschützt
werden. Abschließend erfolgt eine Implantation I von Dotier-
30 stoffen zur Dotierung der freigelegten Gateschicht 4 sowie
der Aufwachsschicht 13 und gegebenenfalls der Keimschicht 10.
Diese Implantation erfolgt wie üblich mittels Resist-Masken-
technik, wobei zur Aktivierung der Dotierstoffe ferner ein
thermischer Ausheilschritt durchgeführt werden kann.
- 35 Die Anschlüsse von Source und Drain erfolgen nunmehr über
eine Ausdiffusion aus diesen hochdotierten Polysilizium-

schichten, wobei wegen der hohen Diffusionskonstante entlang der Korngrenzen das dotierte polykristalline bzw. amorphe Halbleitermaterial wie eine unendliche Dotierstoffquelle wirkt. Die sich daraus ergebenden Vorteile sind sehr steile
5 Diffusionsflanken und hohe Dotierungen. Da die Implantation I der Source- und Draingebiete S und D unmittelbar in das amorphe oder polykristalline Halbleitermaterial stattfindet, wird die Unterdiffusion der Kanal-Anschlussbereiche KA nicht von Implantationsdefekten bestimmt, da diese an den Polysilizium-
10 Korngrenzen rekombinieren. Aufgrund dieser Tatsache ist es möglich, größere Temperaturbudgets einzusetzen, um eine bessere Prozesskontrolle und eine höhere Aktivierung der Dotierstoffe zu erreichen.

15 Alternativ zu der Abscheidung von undotiertem Halbleitermaterial bzw. Silizium kann auch insitu-dotiertes Halbleitermaterial abgeschieden werden. Hierzu wird der Wafer mit einer Maskenschicht bedeckt und dann selektiv der Bereich für z.B. NFET-Transistoren geöffnet. Nur in diesem Bereich wird dann
20 dotiertes Halbleitermaterial abgeschieden. Für PFET-Transistoren wird der Vorgang entsprechend wiederholt.

Figur 4 zeigt eine vereinfachte Teilschnittansicht zur Darstellung der Kanal-Anschlussbereiche bei Verwendung von undotiertem oder dotiertem Halbleitermaterial gemäß dem vorstehend beschriebenen dritten Ausführungsbeispiel.
25

Figuren 5A und 5B zeigen vereinfachte Schnittansichten wesentlicher Verfahrensschritte bei der Herstellung eines Feldeffekttransistors mit lokaler Source-/Drainisolation gemäß
30 einem vierten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente bzw. Schichten wie in den Figuren 1 bis 4 bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

35

Gemäß dem vorliegenden vierten Ausführungsbeispiel werden sogenannte Feldeffekttransistoren mit "fully depleted"-

Kanalgebieten, d.h. vollständig verarmten Kanalgebieten beschrieben. Derartige Feldeffekttransistoren sind insbesondere bei der Realisierung von schnellen Kurzkanaltransistoren erwünscht, da sich dadurch wesentlich erhöhte Geschwindigkeiten sowie Taktfrequenzen realisieren lassen.

Die Figuren 5A und 5B entsprechen hierbei den Verfahrensschritten gemäß 3D und 3E, wobei zur Realisierung der vollständig verarmten Kanalgebiete eine Vertiefungs-Seitenwandisolationsschicht 8A ausgebildet wird, die sich weit in einen Bereich unterhalb des Gatedielektrikums 3 erstreckt. Genauer gesagt wird beispielsweise mittels Oxidation der freigelegten Seitenwände der Source- und Drainvertiefungen SV und DV eine große Dicke der Vertiefungs-Seitenwandisolationsschicht 8A erzeugt, die in einem Bereich von 20 bis 30 nm liegt. Aufgrund dieser hohen Dicke ergibt sich ein Abschnüren des sogenannten Bodys bzw. Kanalgebietes, wodurch man eine vollständig verarmte Struktur im Kanalgebiet erhält.

Die Vorteile eines derartigen Feldeffekttransistors liegen insbesondere bei Realisierung von Schaltungen mit Transistoren unterschiedliche Kanallängen darin, dass die Transistoren mit kurzer Kanallänge die in Figur 5B dargestellten fully depleted-Strukturen mit ihren zugehörigen Leistungsvorteilen aufweisen, wie sie auch aus SOI-Halbleiterschaltungen bekannt sind, während die Transistoren mit großer Kanallänge, wie sie für Mixed-Signal-Schaltungen auch verwendet werden, weiterhin das Verhalten von Bulk-Transistoren zeigen und demzufolge in gewohnter Weise einen Wannenanschluss zur Festlegung eines Potentials im Kanalgebiet besitzen. Demzufolge können auf diese Weise quasi-SOI-Transistoren und sogenannte Bulk-Transistoren gleichzeitig auf einem Chip ohne Verwendung von zusätzlichen Masken sozusagen selbstjustierend bzw. automatisch hergestellt werden. Dies bedeutet insbesondere einen Vorteil für SoC-Schaltungen, wo schnelle Digitalschaltungen und Mixed-Signal-Schaltungen auf einem Chip realisiert werden sollen.

Die Erfindung wurde vorstehend an Hand von Silizium-Halbleiterschaltungen beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise auch Halbleiterschaltungen mit alternativen Halbleitermaterialien. In gleicher Weise können insbesondere für die Gateschicht und die Füllschicht auch alternative Materialien verwendet werden.

Patentansprüche

1. Feldeffekttransistor mit lokaler Source-/Drainisolation mit
mit
5 einem Halbleitersubstrat (1);
einer Sourcevertiefung (SV) und einer Drainvertiefung (DV),
die im Halbleitersubstrat (1) voneinander beabstandet ausge-
bildet sind;
einer Vertiefungs-Isolationsschicht (VI), die zumindest in
10 einem Bodenbereich der Sourcevertiefung (SV) und der Drain-
vertiefung (DV) ausgebildet ist;
einer elektrisch leitenden Füllschicht (F), die zur Realisie-
rung von Source- und Draingebieten (S, D) und zum Auffüllen
der Source- und Drainvertiefungen (SV, DV) an der Oberfläche
15 der Vertiefungs-Isolationsschicht (VI) ausgebildet ist;
einem Gatedielektrikum (3), das an der Substratoberfläche
(SO) zwischen der Source- und Drainvertiefung (SV, DV) ausge-
bildet ist; und
einer Gateschicht (4), die an der Oberfläche des Gatedie-
20 lektrikums (3) ausgebildet ist.
2. Feldeffekttransistor nach Patentanspruch 1, d a d u r c h
g e k e n n z e i c h n e t , dass die Vertiefungs-
Isolationsschicht (VI) ferner eine im Seitenwandbereich der
25 Source- und Drainvertiefungen (SV, DV) ausgebildete Vertie-
fungs-Seitenwandisolationsschicht (8A) aufweist, die jedoch
das Gatedielektrikum (3) nicht berührt.
3. Feldeffekttransistor nach Patentanspruch 1 oder 2, d a -
30 d u r c h g e k e n n z e i c h n e t , dass die Source- und
Drainvertiefungen (SV, DV) in einem oberen Bereich eine Ver-
breiterung (V1) mit einer vorbestimmten Tiefe (d1) zur Realie-
sierung von definierten Kanal-Anschlussbereichen (KA) aufwei-
sen.
- 35 4. Feldeffekttransistor nach einem der Patentansprüche 1 bis
3, d a d u r c h g e k e n n z e i c h n e t , dass die elekt-

risch leitende Füllschicht (F) eine Keimschicht (10) zur Verbesserung eines Abscheidens in den Source- und Drainvertiefungen (SV, DV) aufweist.

- 5 5. Feldeffekttransistor nach einem der Patentansprüche 1 bis 4, dadurch gekennzeichnet, dass die Gateschicht (4) eine an ihren Seitenwänden ausgebildete Gateisolationsschicht (6) aufweist.
- 10 6. Feldeffekttransistor nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass er von flachen Grabenisolierungen (2) begrenzt ist.
7. Feldeffekttransistor nach einem der Patentansprüche 1 bis 15 6, dadurch gekennzeichnet, dass er laterale Strukturen < 100 nm aufweist.
8. Feldeffekttransistor nach einem der Patentansprüche 1 bis 7, dadurch gekennzeichnet, dass die Source- und Drainvertiefungen (SV, DV) eine Tiefe ($d_1 + d_2$) von ca. 50 20 nm bis 300 nm aufweisen.
9. Feldeffekttransistor nach einem der Patentansprüche 2 bis 8, dadurch gekennzeichnet, dass sich die Vertiefungs-Seitenwandisolationsschicht (8A) in einen Bereich 25 unterhalb des Gatedielektrikums (3) hinein erstreckt.
10. Verfahren zur Herstellung eines Feldeffekttransistors mit lokaler Source-/Drainisolation mit den Schritten:
- 30 a) Ausbilden und Strukturieren eines Gatestapels mit einer Gateschicht (4) und einem Gatedielektrikum (3) auf einem Halbleitersubstrat (1);
- b) Ausbilden von Source- und Drainvertiefungen (SV, DV, V1, V2) am Gatestapel (3, 4, 5, 6) im Halbleitersubstrat (1);
- 35 c) Ausbilden einer Vertiefungs-Isolationsschicht (8, 8A, 9) zumindest in einem Bodenbereich der Source- und Drainvertiefungen (SV, DV); und

20

d) Auffüllen der zumindest teilweise isolierten Source- und Drainvertiefungen (SV, DV) mit einer Füllschicht (F; 10, 13) zur Realisierung von Source- und Draingebieten (S, D).

- 5 11. Verfahren nach Patentanspruch 10, d a d u r c h g e -
k e n n z e i c h n e t , dass in Schritt a)
ein STI-Verfahren zur Ausbildung von flachen Grabenisolierungen (2);
eine Implantation zur Ausbildung von Wannen- und/oder Kanal-
10 Dotiergebieten im Halbleitersubstrat (1);
eine thermische Oxidation zur Ausbildung des Gatedielektrikums (3);
eine Abscheidung von Halbleitermaterial zur Ausbildung der Gateschicht (4);
15 eine TEOS-Abscheidung zur Ausbildung einer Hartmaskenschicht (5);
ein lithografisches Verfahren zur Strukturierung von zumindest der Gateschicht (4) unter Verwendung der Hartmaskenschicht (5); und
20 eine weitere thermische Oxidation zur Ausbildung einer Gate-Seitenwandisolationsschicht (6) an den Seitenwänden der Gateschicht (4) durchgeführt wird.

12. Verfahren nach Patentanspruch 10 oder 11, d a d u r c h
25 g e k e n n z e i c h n e t , dass in Schritt b)
erste Vertiefungen (V1) zur Realisierung von Kanal-Anschlussbereichen (KA) im Halbleitersubstrat (1);
Spacer (7) am Gatestapel (3, 4, 5, 6); und
zweite Vertiefungen (V2) unter Verwendung der Spacer (7) als
30 Maske in den ersten Vertiefungen (V1) und im Halbleitersubstrat (1) ausgebildet werden.

13. Verfahren nach Patentanspruch 12, d a d u r c h g e -
k e n n z e i c h n e t , dass die ersten Vertiefungen (V1)
35 unter Verwendung des Gatestapels (3, 4, 5, 6) und der flachen Grabenisolationsschicht (2) als Maske bis zu einer ersten

Tiefe (d1) von ca. 10 bis 50 nm von der Substratoberfläche (SO) durch anisotropes Ätzen ausgebildet werden.

14. Verfahren nach Patentanspruch 12 oder 13, d a d u r c h
5 g e k e n n z e i c h n e t , dass vor dem Ausbilden der Spacer
(7) eine erste Halbleiter-Schutzschicht zumindest an den
Kanal-Anschlussbereichen (KA) ausgebildet wird.

15. Verfahren nach einem der Patentansprüche 12 bis 14,
10 d a d u r c h g e k e n n z e i c h n e t , dass die Spacer (7)
durch konformales Abscheiden von Siliziumnitrid und anisotropes
Rückätzen ausgebildet werden.

16. Verfahren nach einem der Patentansprüche 12 bis 14,
15 d a d u r c h g e k e n n z e i c h n e t , dass die zweiten Vertiefungen (V2) bis zu einer Tiefe (d1+d2) von ca. 50 bis 300 nm von der Substratoberfläche (SO) durch anisotropes Ätzen ausgebildet werden.

20 17. Verfahren nach einem der Patentansprüche 10 bis 16,
d a d u r c h g e k e n n z e i c h n e t , dass
in Schritt c)
eine Isolations-Maskenschicht (8) in den Source- und Drain-
vertiefungen (SV, DV) ausgebildet und zumindest im Bodenbe-
25 reich wieder entfernt wird; und
jeweils eine Vertiefungs-Bodenisolationsschicht (9) im freigelegten Bodenbereich ausgebildet wird.

18. Verfahren nach Patentanspruch 17, d a d u r c h g e -
30 k e n n z e i c h n e t , dass ferner
die verbleibende Isolations-Maskenschicht (8) auch an den
Seitenwänden der Vertiefungen entfernt; und
Vertiefungs-Seitenwandisolationsschichten (8A) in den freigelegten
Seitenwandbereichen der Vertiefungen ausgebildet wer-
35 den.

22

19. Verfahren nach Patentanspruch 17 oder 18, d a d u r c h
g e k e n n z e i c h n e t , d a s s
als Isolations-Maskenschicht (8) eine Siliziumnitridschicht;
und
5 als Vertiefungs-Boden- und/oder Seitenwand-Isolationsschicht
(9, 8A) eine Siliziumdioxidschicht ausgebildet wird.
20. Verfahren nach einem der Patentansprüche 10 bis 19,
d a d u r c h g e k e n n z e i c h n e t , d a s s
10 in Schritt d)
d1) eine Keimschicht (10), eine Keim-Schutzschicht (11) und
eine Keim-Maskenschicht (12) ganzflächig ausgebildet wird;
d2) die Keim-Maskenschicht (12) bis in die Source- und Drain-
vertiefungen (SV, DV) zurückgebildet wird;
15 d3) die Keim-Schutzschicht (11) unter Verwendung der Keim-
Maskenschicht (12) als Maske teilweise entfernt wird;
d4) die zurückgebildete Keim-Maskenschicht (12) entfernt
wird;
d5) die Keimschicht (10) unter Verwendung der Keim-
20 Schutzschicht (11) als Maske teilweise entfernt wird;
d6) die Keim-Schutzschicht (11) vollständig entfernt wird;
und
d7) eine Aufwachsschicht (13) auf der Keimschicht (10) bis in
einen Bereich der Substratoberfläche (SO) ausgebildet wird.
25
21. Verfahren nach Patentanspruch 20 und 12, d a d u r c h
g e k e n n z e i c h n e t , d a s s
in Schritt d6) ferner die Spacer (7) entfernt werden; und
in Schritt d)
30 d8) Implantations-Spacer (14) am Gatestapel (3, 4, 6) ausge-
bildet;
d9) die Hartmaskenschicht (5) entfernt; und
d10) eine Implantation (I) zur Dotierung der Gateschicht (4)
sowie der Aufwachsschicht (13) durchgeführt werden.
35

1/5

FIG 1

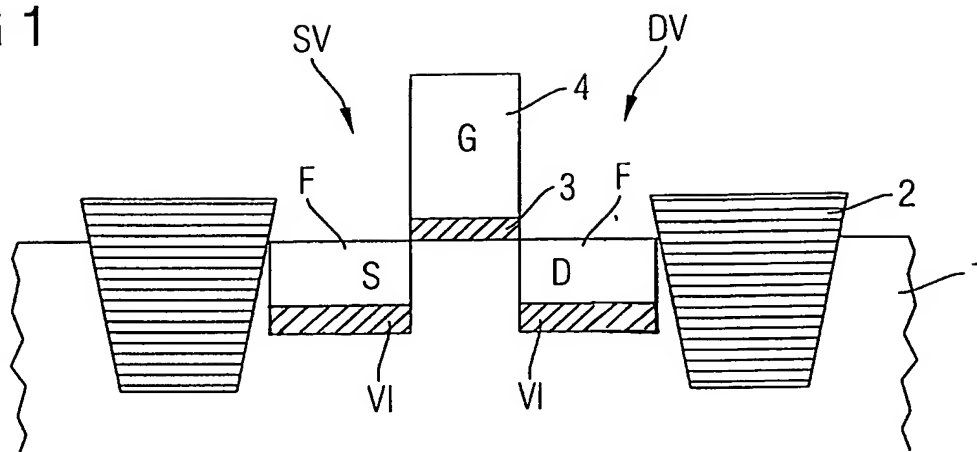
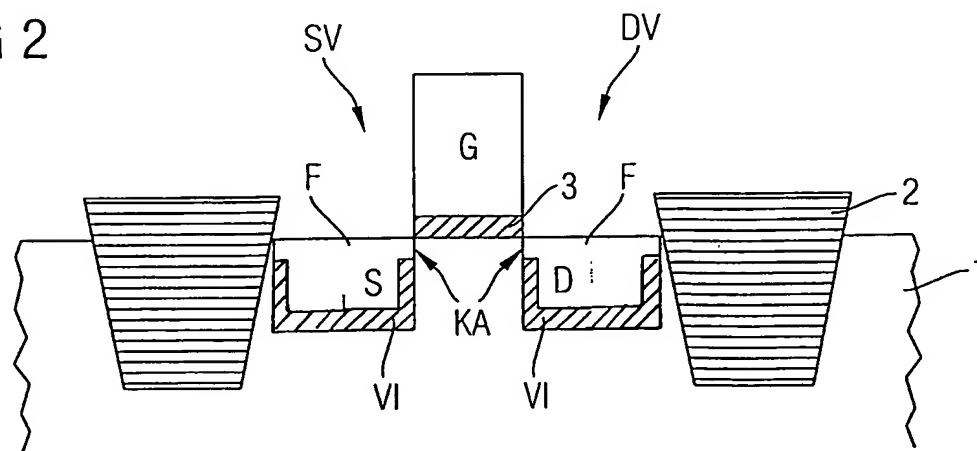
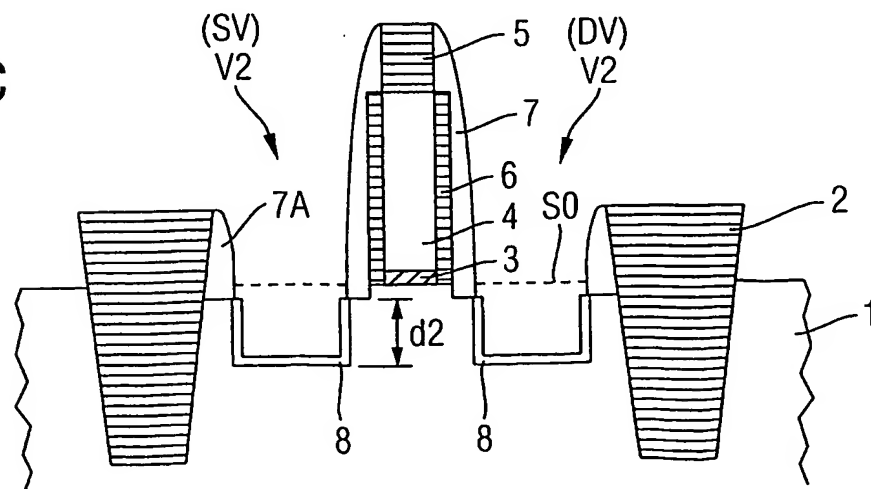


FIG 2





3/5

FIG 3D

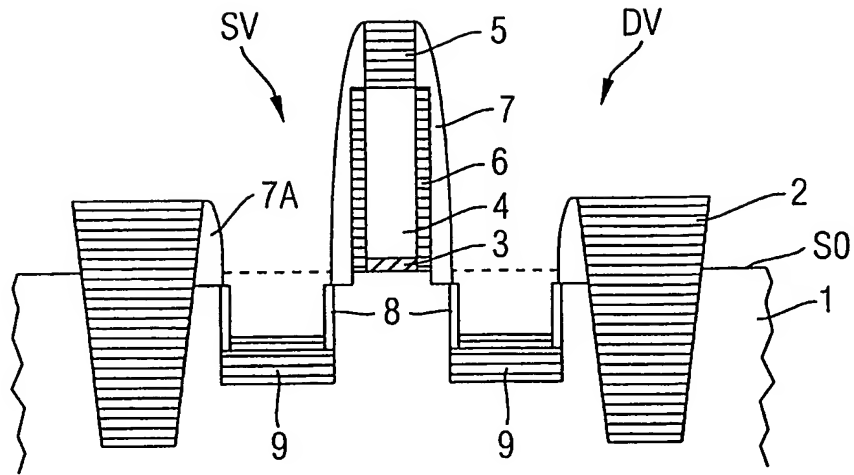


FIG 3E

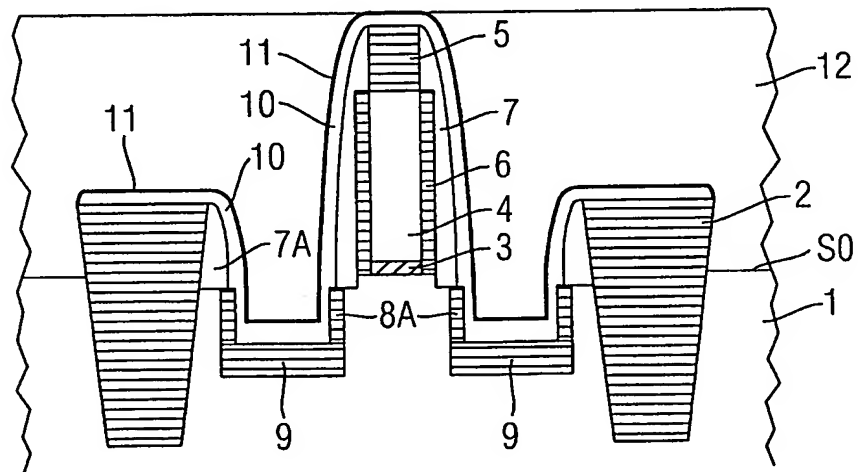
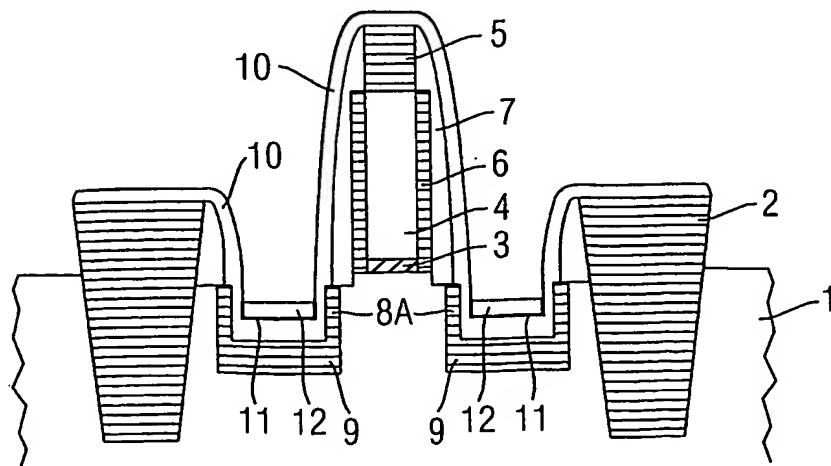


FIG 3F



4/5

FIG 3G

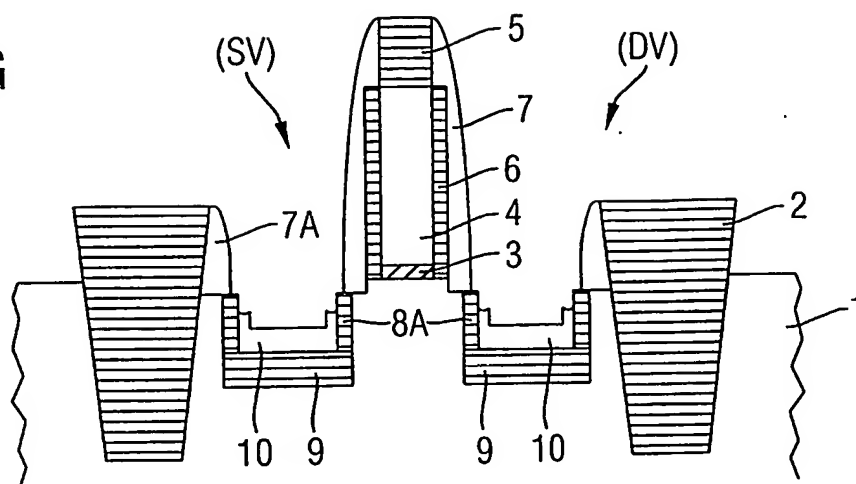


FIG 3H

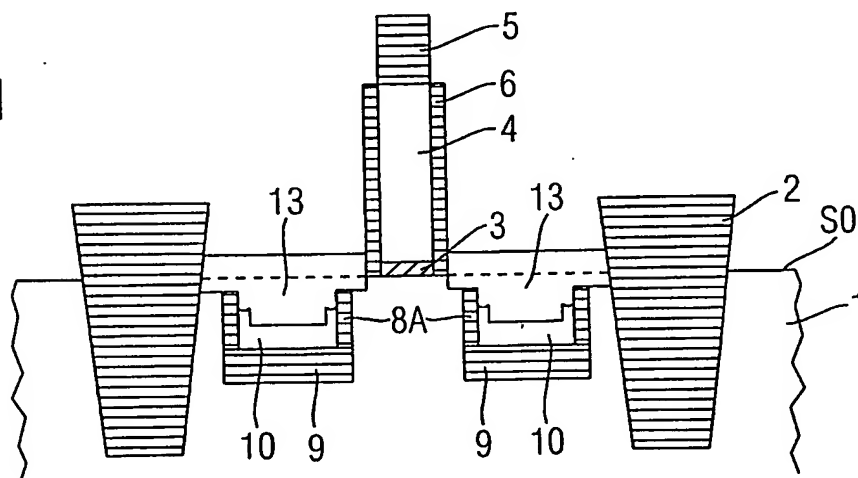
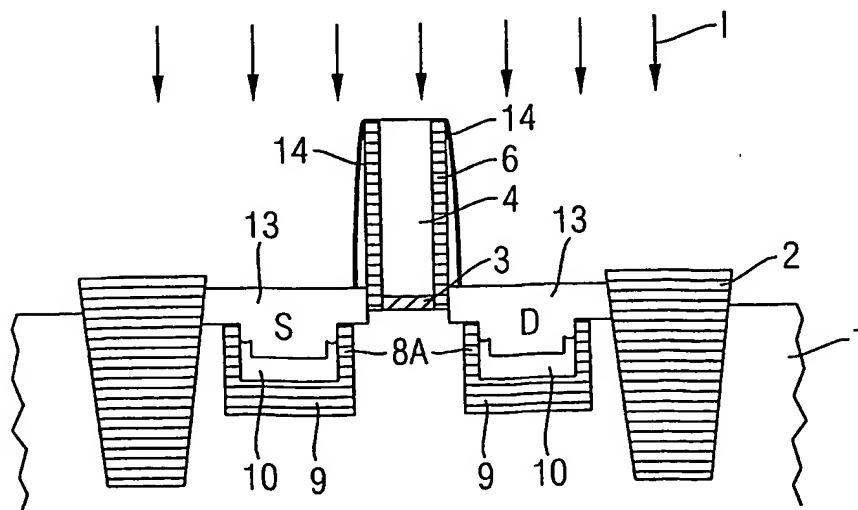


FIG 3I



5/5

FIG 4

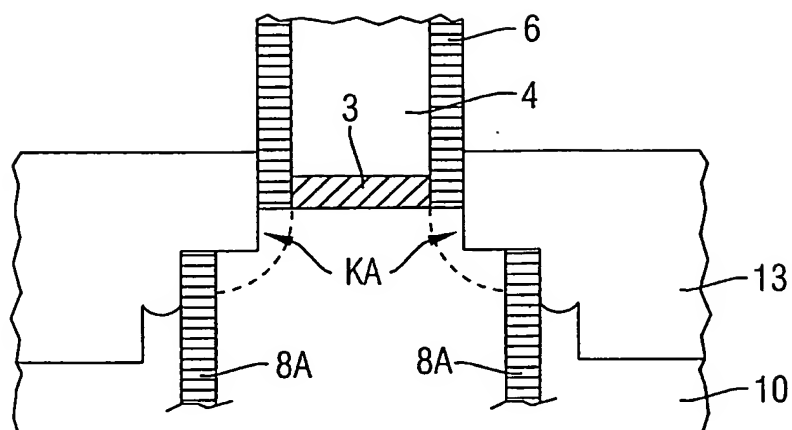


FIG 5A

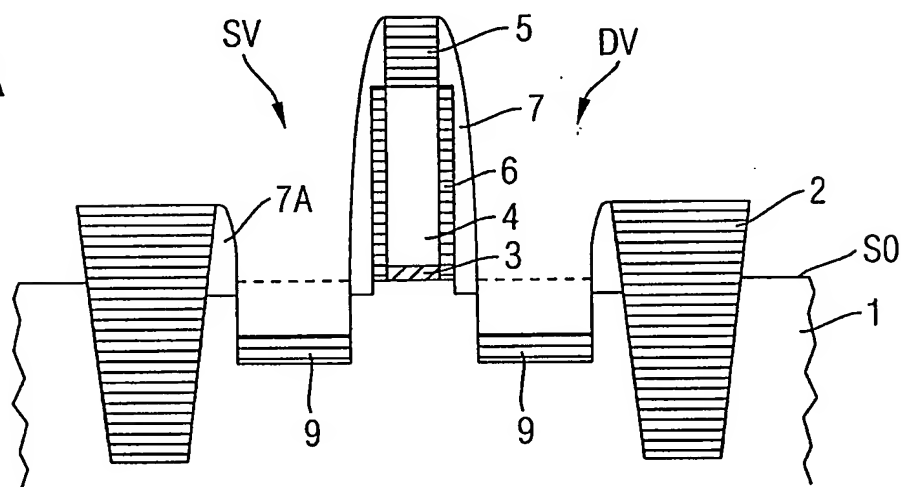
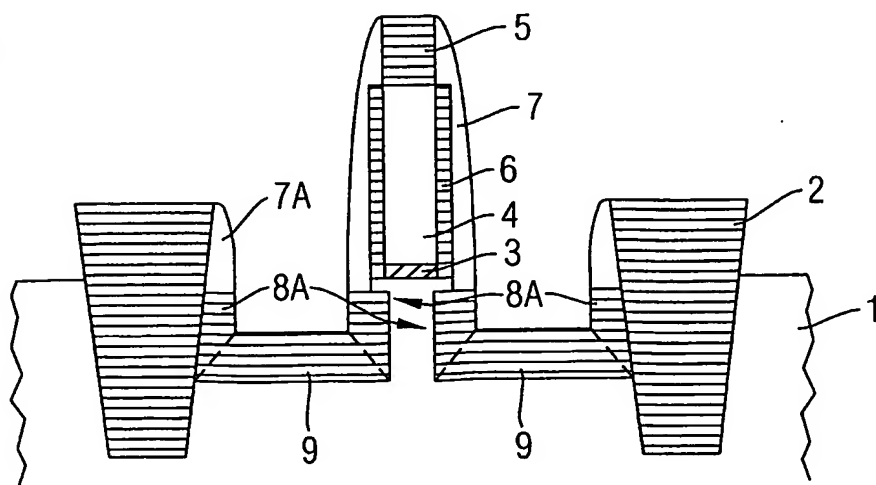


FIG 5B



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/03130

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/336 H01L29/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 198 12 643 C (SIEMENS AG) 8 July 1999 (1999-07-08) figures 1-8	1-3,5-11
X	US 5 949 116 A (WEN JEMMY) 7 September 1999 (1999-09-07) figures 2A-2E	1,2,4-11
X	US 6 346 729 B1 (LEE JIN-YUAN ET AL) 12 February 2002 (2002-02-12) figures 1-8	1,2,5-10
X	DE 197 49 378 A (SIEMENS AG) 20 May 1999 (1999-05-20) figures 1-11	1-3,5-11
	--- -/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

26 January 2004

Date of mailing of the international search report

03/02/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Nesso, S

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 03/03130

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 908 313 A (TAYLOR MITCHELL C ET AL) 1 June 1999 (1999-06-01) figure 2 ---	1,5,7,8, 10
X	US 2002/142552 A1 (WU CHING-YUAN) 3 October 2002 (2002-10-03) figure 3B ---	1,5-8,10
X	WO 02 43109 A (HOFMANN FRANZ ;RISCH LOTHAR (DE); INFINEON TECHNOLOGIES AG (DE); R) 30 May 2002 (2002-05-30) figures 1A-1C ---	1,4,7,8, 10
X	US 5 043 778 A (TANG THOMAS E ET AL) 27 August 1991 (1991-08-27) the whole document ---	1,4-8,10
X	US 5 620 912 A (HWANG LEE Y ET AL) 15 April 1997 (1997-04-15) the whole document ---	1,5-8, 10,11
X	US 6 403 482 B1 (LAM CHUNG HON ET AL) 11 June 2002 (2002-06-11) the whole document ---	1,5-8,10
X	ANANTHA N G ET AL: "SELF-ALIGNED IGFET WITH SILICON DIOXIDE ISOLATED SOURCE AND DRAIN" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, vol. 22, no. 11, April 1980 (1980-04), pages 4895-4899, XP000806625 ISSN: 0018-8689 the whole document ---	1,5-8,10
X	WO 01 50535 A (MCFADDEN ROBERT S ;CHAU ROBERT S (US); INTEL CORP (US); MORROW PAT) 12 July 2001 (2001-07-12) the whole document ---	1,5-8,10
X	US 2001/025998 A1 (TSUCHIAKI MASAKATSU) 4 October 2001 (2001-10-04) figures 11A-11C,12A-12C ---	1,10

-/--

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 03/03130

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>ELBEL N ET AL: "A new STI process based on selective oxide deposition Yfor CMOS logic"</p> <p>VLSI TECHNOLOGY, 1998. DIGEST OF TECHNICAL PAPERS. 1998 SYMPOSIUM ON HONOLULU, HI, USA 9-11 JUNE 1998, NEW YORK, NY, USA, IEEE, US, 9 June 1998 (1998-06-09), pages 208-209, XP010291189</p> <p>ISBN: 0-7803-4770-6</p> <p>cited in the application</p> <p>the whole document</p> <p>---</p>	1-21
A	<p>US 2001/017387 A1 (HSIEH CHIA-TA ET AL)</p> <p>30 August 2001 (2001-08-30)</p> <p>the whole document</p> <p>-----</p>	1-21

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Publication No
PCT/DE 03/03130

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 19812643	C	08-07-1999	DE 19812643 C1 WO 9949519 A1 TW 442974 B	08-07-1999 30-09-1999 23-06-2001
US 5949116	A	07-09-1999	US 5786257 A	28-07-1998
US 6346729	B1	12-02-2002	US 6071783 A TW 408424 B	06-06-2000 11-10-2000
DE 19749378	A	20-05-1999	DE 19749378 A1 WO 9925025 A1	20-05-1999 20-05-1999
US 5908313	A	01-06-1999	NONE	
US 2002142552	A1	03-10-2002	NONE	
WO 0243109	A	30-05-2002	WO 0243109 A2	30-05-2002
US 5043778	A	27-08-1991	US 4963502 A JP 2886858 B2 JP 63147359 A	16-10-1990 26-04-1999 20-06-1988
US 5620912	A	15-04-1997	NONE	
US 6403482	B1	11-06-2002	NONE	
WO 0150535	A	12-07-2001	US 6541343 B1 AU 4305701 A CN 1437769 T EP 1245049 A2 WO 0150535 A2 US 2003136985 A1	01-04-2003 16-07-2001 20-08-2003 02-10-2002 12-07-2001 24-07-2003
US 2001025998	A1	04-10-2001	JP 10326837 A US 6271566 B1 US 6051509 A	08-12-1998 07-08-2001 18-04-2000
US 2001017387	A1	30-08-2001	US 6207515 B1	27-03-2001

Internationale Patentzeichen
PCT/DE 03/03130

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L21/336 H01L29/06

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 198 12 643 C (SIEMENS AG) 8. Juli 1999 (1999-07-08) Abbildungen 1-8 ---	1-3,5-11
X	US 5 949 116 A (WEN JEMMY) 7. September 1999 (1999-09-07) Abbildungen 2A-2E ---	1,2,4-11
X	US 6 346 729 B1 (LEE JIN-YUAN ET AL.) 12. Februar 2002 (2002-02-12) Abbildungen 1-8 ---	1,2,5-10
X	DE 197 49 378 A (SIEMENS AG) 20. Mai 1999 (1999-05-20) Abbildungen 1-11 ---	1-3,5-11
	--/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Y Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

'A' Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

'E' älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie anzuzeigen ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

• Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindersicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

* & Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. Januar 2004

Absendedatum des Internationalen Recherchenberichts

03/02/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Nesso, S

PCT/DE 03/03130

INTERNATIONALER RECHERCHENBERICHT

Internationales Patenzentrum

PCT/DE 03/03130

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>ELBEL N ET AL: "A new STI process based on selective oxide deposition Yfor CMOS logic"</p> <p>VLSI TECHNOLOGY, 1998. DIGEST OF TECHNICAL PAPERS. 1998 SYMPOSIUM ON HONOLULU, HI, USA 9-11 JUNE 1998, NEW YORK, NY, USA, IEEE, US,</p> <p>9. Juni 1998 (1998-06-09), Seiten 208-209, XP010291189</p> <p>ISBN: 0-7803-4770-6</p> <p>in der Anmeldung erwähnt das ganze Dokument</p>	1-21
A	<p>US 2001/017387 A1 (HSIEH CHIA-TA ET AL)</p> <p>30. August 2001 (2001-08-30)</p> <p>das ganze Dokument</p>	1-21

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Zeichen

PCT/DE 03/03130

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 19812643 C	08-07-1999	DE 19812643 C1 WO 9949519 A1 TW 442974 B	08-07-1999 30-09-1999 23-06-2001
US 5949116 A	07-09-1999	US 5786257 A	28-07-1998
US 6346729 B1	12-02-2002	US 6071783 A TW 408424 B	06-06-2000 11-10-2000
DE 19749378 A	20-05-1999	DE 19749378 A1 WO 9925025 A1	20-05-1999 20-05-1999
US 5908313 A	01-06-1999	KEINE	
US 2002142552 A1	03-10-2002	KEINE	
WO 0243109 A	30-05-2002	WO 0243109 A2	30-05-2002
US 5043778 A	27-08-1991	US 4963502 A JP 2886858 B2 JP 63147359 A	16-10-1990 26-04-1999 20-06-1988
US 5620912 A	15-04-1997	KEINE	
US 6403482 B1	11-06-2002	KEINE	
WO 0150535 A	12-07-2001	US 6541343 B1 AU 4305701 A CN 1437769 T EP 1245049 A2 WO 0150535 A2 US 2003136985 A1	01-04-2003 16-07-2001 20-08-2003 02-10-2002 12-07-2001 24-07-2003
US 2001025998 A1	04-10-2001	JP 10326837 A US 6271566 B1 US 6051509 A	08-12-1998 07-08-2001 18-04-2000
US 2001017387 A1	30-08-2001	US 6207515 B1	27-03-2001